

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-142630

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 08-301445 (71)Applicant : MITSUBISHI ELECTRIC CORP

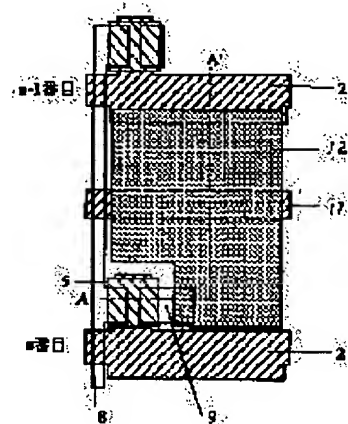
(22)Date of filing : 13.11.1996 (72)Inventor : NUMANO YOSHINORI
KOBAYASHI KAZUHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device in which reduction in a delay time of a gate signal and increase in an opening ratio are carded out for lowering electricity consumption.

SOLUTION: A gate electrode 2 and a common wire 11 for auxiliary capacity are formed on a glass substrate at the same time, a gate insulating film is formed over them, and via the gate insulating film, amorphous silicon 5 and n⁺ amorphous silicon are accumulated on the gate electrode 2. From the n⁺ amorphous silicon, a source area and a drain area are formed, while a pixel electrode 12 is arranged so that a part of the pixel electrode 12 overlaps the adjacent gate electrode 2 while covering the common wire 11 via the gate insulating film, and as a result, reduction in width of the gate electrode 2 and improvement of an opening ratio can be accomplished at the same time.



LEGAL STATUS

[Date of request for examination] 07.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3279939
[Date of registration]	22.02.2002
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-142630

(43)公開日 平成10年(1998) 5月29日

(51)Int.Cl.⁴

識別記号

F I

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 Z

21/336

審査請求 未請求 請求項の数16 O L (全 11 頁)

(21)出願番号 特願平8-301445

(22)出願日 平成8年(1996)11月13日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 沼野 良典

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 小林 和弘

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

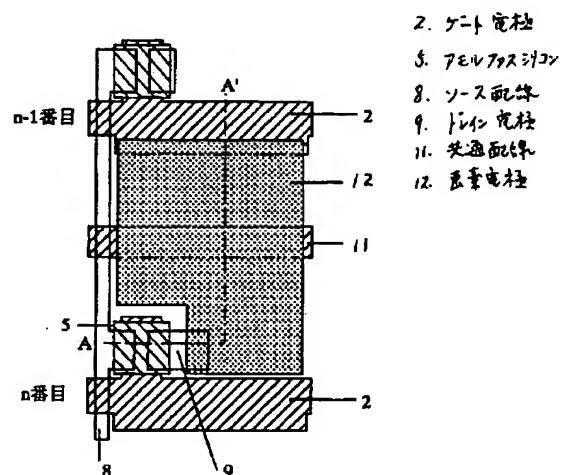
(74)代理人 弁理士 大岩 増雄

(54)【発明の名称】 液晶ディスプレイ装置及びその製造方法

(57)【要約】

【課題】 TFT-LCDでは、ゲート配線幅が広くなり、開口率が低下して消費電力が増大するという問題があった。

【解決手段】 ガラス基板1上にゲート電極2と補助容量用の共通配線11とを同時に形成し、さらにこの上にゲート絶縁膜4を形成して、このゲート絶縁膜4を介してゲート電極2上にアモルファスシリコン5及びn⁺アモルファスシリコン6を堆積し、このn⁺アモルファスシリコン6からソース領域及びドレイン領域を形成すると共に、ゲート絶縁膜4を介して共通配線11を覆うと共に隣接するゲート電極2上に一部が重なるように画素電極12を設けて、ゲート電極2の幅を狭くしながら開口率を高めている。



【特許請求の範囲】

【請求項1】 絶縁性基板、この絶縁性基板上に形成された複数のゲート電極、上記絶縁性基板上に形成され、隣接するゲート電極間に配置された補助容量用の共通配線、上記ゲート電極上及び共通配線上を含む絶縁性基板上に形成されたゲート絶縁膜、このゲート絶縁膜を介して上記ゲート電極の少なくとも一部を覆うように形成された少なくとも一層の半導体材料膜、この半導体材料膜に形成されたソース領域及びドレイン領域、上記ゲート絶縁膜上に形成され、上記共通配線を覆うように形成された画素電極、この画素電極に接続されると共にゲート絶縁膜を介して隣接するゲート電極上に一部が重なるように形成された容量用電極、上記ソース領域及びドレイン領域上にそれぞれ設けられたソース電極及びドレイン電極を備えたことを特徴とする液晶ディスプレイ装置。

【請求項2】 絶縁性基板、この絶縁性基板上に形成された画素電極、この画素電極に接続された容量用電極、上記絶縁性基板上に形成された少なくとも一層の半導体材料膜、この半導体材料膜に形成されたソース領域及びドレイン領域、上記半導体材料膜上及び画素電極上及び容量用電極上を含む絶縁性基板上に形成されたゲート絶縁膜、上記半導体材料膜上を含むゲート絶縁膜上に形成された複数のゲート電極、上記ゲート絶縁膜上に形成され、隣接するゲート電極間に配置された補助容量用の共通配線を備え、上記共通配線は、ゲート絶縁膜を介して上記画素電極上に配置されると共に、容量用電極は、ゲート絶縁膜を介して隣接するゲート電極に一部が重なるように形成されていることを特徴とする液晶ディスプレイ装置。

【請求項3】 絶縁性基板、この絶縁性基板上に形成されたソース領域及びドレイン領域を有する半導体材料膜、この半導体材料膜の上面及び側面を覆うように形成されたゲート絶縁膜、このゲート絶縁膜上を含む上記絶縁性基板上に形成された複数のゲート電極、上記絶縁性基板上に形成され、隣接するゲート電極間に配置された補助容量用の共通配線、上記ゲート絶縁膜上及びゲート電極上及び共通配線上を含む絶縁性基板上に形成された絶縁膜、この絶縁膜上に形成され、上記共通配線を覆うように形成された画素電極、上記絶縁膜上に形成され、上記画素電極に接続されると共に隣接するゲート電極上に一部が重なるように形成された容量用電極を備えたことを特徴とする液晶ディスプレイ装置。

【請求項4】 容量用電極は、画素電極を延在したものであることを特徴とする請求項1ないし請求項3のいずれか一項記載の液晶ディスプレイ装置。

【請求項5】 ゲート電極と共通配線とは、同じ材料が用いられていることを特徴とする請求項1ないし請求項4のいずれか一項記載の液晶ディスプレイ装置。

【請求項6】 共通配線は、透明材料を用いていることを特徴とする請求項1ないし請求項4のいずれか一項記

載の液晶ディスプレイ装置。

【請求項7】 共通配線の透明材料は、可視光に対して透過率が50%以上でかつ比抵抗が $500\mu\Omega\cdot\text{cm}$ 以下の材料が用いられていることを特徴とする請求項6記載の液晶ディスプレイ装置。

【請求項8】 共通配線の透明材料は、酸化インジウム錫、酸化錫、インジウムリンのいずれかであることを特徴とする請求項6または請求項7記載の液晶ディスプレイ装置。

【請求項9】 共通配線に接して、共通配線を覆うように透明電極が設けられていることを特徴とする請求項1ないし請求項5のいずれか一項記載の液晶ディスプレイ装置。

【請求項10】 共通配線を覆う透明電極は、可視光に対して透過率が50%以上でかつ比抵抗が $500\mu\Omega\cdot\text{cm}$ 以下の材料が用いられていることを特徴とする請求項9記載の液晶ディスプレイ装置。

【請求項11】 共通配線を覆う透明電極は、酸化インジウム錫、酸化錫、インジウムリンのいずれかの材料を用いていることを特徴とする請求項9または請求項10記載の液晶ディスプレイ装置。

【請求項12】 半導体材料膜は、非晶質シリコン膜であることを特徴とする請求項1ないし請求項11のいずれか一項記載の液晶ディスプレイ装置。

【請求項13】 半導体材料膜は、多結晶シリコン膜であることを特徴とする請求項1ないし請求項11のいずれか一項記載の液晶ディスプレイ装置。

【請求項14】 絶縁性基板上に複数のゲート電極を形成する第一の工程、隣接するゲート電極間に配置されるよう共通配線を形成する第二の工程、ゲート電極上及び共通配線上を含む絶縁性基板上にゲート絶縁膜を形成する第三の工程、少なくとも一層の半導体材料膜を形成する第四の工程、ゲート絶縁膜を介して共通配線を覆うと共に隣接するゲート電極に一部が重なるように画素電極を形成する第五の工程、半導体材料膜をエッチングしてソース領域及びドレイン領域を形成する第六の工程を含むことを特徴とする液晶ディスプレイ装置の製造方法。

【請求項15】 第一の工程と第二の工程は、同時に行われることを特徴とする請求項14記載の液晶ディスプレイ装置の製造方法。

【請求項16】 共通配線を覆うように透明電極を形成する第七の工程を含み、第七の工程は、第二の工程の終了後、第三の工程の前に行われることを特徴とする請求項14または請求項15記載の液晶ディスプレイ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アクティブマトリクス型の液晶ディスプレイ装置及びその製造方法に関するものであり、その薄膜トランジスタに係わるもので

ある。

【0002】

【従来の技術】液晶を用いたディスプレイのスイッチング素子として、アモルファスSi半導体を用いた薄膜トランジスタ（以下TFTと略す）を、ガラス等の絶縁性基板上にマトリクス状に形成したアクティブマトリクス表示素子が開発されている。このTFTをスイッチング素子とする液晶ディスプレイ（以下TFT-LCDと略す）では、TFTのゲート電極とソース及びドレイン電極との重なりで発生する寄生容量（以下Cgdと略す）及びチャネル容量（以下Cchと略す）が大きい場合、ゲート信号がオン状態からオフ状態に変化する際に、CgdとCchを介して電荷の流れ込みが発生し、液晶に加わる電圧が大きく変化する。この電圧の変化は、液晶の誘電率異方性に伴う容量変化によって変化する。このため、液晶にDCバイアスが加わってしまう。液晶は交流駆動する必要があり、DCバイアスが加わると劣化したり、フリッカや残像などの表示特性劣化の原因にもなる。

【0003】これを防止するために、負荷容量を液晶の容量に並列に付加してCgd、Cchの影響を小さくする必要がある。液晶容量に並列に負荷容量を付加する方法として、これまでに共通配線を用いる方式（以下、CS共通配線方式と呼ぶ）と、画素電極をその画素の1行前のゲート配線と重ねる方式（以下、CSオンゲート方式と呼ぶ）がある。図12は、例えば平成2年電子情報通信学会技術報告会（EID90-13）で報告された、CSオンゲート方式TFT-LCDの1画素を示す平面図、図13はその製造方法を示すA-A'断面の断面図である。図において、1はガラス基板（図12）、2はガラス基板1上に形成されたゲート電極、4はゲート電極2上を含めてガラス基板1上に形成されたゲート絶縁膜（図12）、5はゲート絶縁膜4を介してゲート電極2上に形成されたアモルファスシリコン、6はアモルファスシリコン5上に形成されたPH₃をドーブしたn⁺アモルファスシリコン（図12）で、ソース・ドレイン領域を形成する。7はゲート絶縁膜4上に設けられ、一部が1行前のゲート電極2上に重なる画素電極、8はゲート絶縁膜4上に設けられ、n⁺アモルファスシリコン6上に延在されたソース配線、9は画素電極7とn⁺アモルファスシリコン6及びゲート絶縁膜4上にかけて設けられたドレイン電極、10はガラス基板1全面に設けられた保護膜（図12）である。

【0004】次に、このような従来の液晶ディスプレイの製造方法について、図13を用いて説明する。ガラス基板1上にゲート電極2を形成する（図13（A））。次にゲート絶縁膜4、アモルファスシリコン5、Pをドーブしたn⁺アモルファスシリコン6を連続堆積し、アモルファスシリコン5、Pをドーブしたn⁺アモルファスシリコン6を、必要な部分を残してエッチングにより

除去する（図13（B））。次に、画素電極7を1行前のゲート電極（n-1番目）と重なるように形成する（図13（C））。次に、ソース配線8及びドレイン電極9を形成し、その後、Pをドーブしたn⁺アモルファスシリコン6をTFTのソース領域、ドレイン領域を形成するために必要な部分を残して除去する（図13（D））。最後に、保護膜10を形成する（図13（E））。

【0005】また、図14は同じ文献で報告されたCS共通配線方式TFT-LCDの1画素を示す平面図、図15はその製造方法を示すA-A'断面の断面図である。図において、1～10は図12、13におけるものと同一のものである。11は、隣接するゲート電極の間に配置された共通配線で、画素電極7は、共通配線11を覆うように設けられている。次に、この製造方法を図15にしたがって説明する。ガラス基板1上にゲート電極2と同時に共通配線11を形成する（図15（A））。次に、ゲート絶縁膜4、アモルファスシリコン5、Pをドーブしたn⁺アモルファスシリコン6を連続堆積し、アモルファスシリコン5、Pをドーブしたn⁺アモルファスシリコン6を必要な部分を残してエッチングにより除去する（図15（B））。次に、画素電極7を、共通配線11を覆うように形成する（図15（C））。以下は、CSオンゲート方式と同様の工程であるので省略する。

【0006】

【発明が解決しようとする課題】従来のTFT-LCDは以上のように構成されており、CSオンゲート方式の場合、画素電極7と1行前のゲート電極2を重ねて容量を形成している。このため、ゲート電極2の負荷容量が大きくなる。ゲート電極2は、画面の精細度がVGAであれば、50μsec程度の信号を伝達すればよいが、XGAになると、10μsec程度まで短くなる。したがって、伝達される信号の遅延時間が数μsec程度以下が要求される。このため、CSオンゲート方式では、ゲート電極2の負荷容量が大きいため、ゲート信号の遅延時間を短くするために、ゲート電極2の幅を広げる必要があった。ゲート電極2は通常不透明な金属膜、例えば、Cr、Al、Ta、Moあるいはこれらを積層、あるいは合金化した膜を使用するため、ゲート配線部は光が通過しない。したがって、TFT-LCDの開口率が低下する。TFT-LCDでは、開口率が大きいほど光の利用効率が高く、消費電力の低減が可能である。すなわち、CSオンゲート方式では、ゲート配線幅が広くなり、開口率が低下して消費電力が増大するという問題があった。

【0007】一方、CS共通配線方式では、画素電極7とゲート電極2を重ねていないため、ゲート電極2の負荷容量が小さく、配線幅を細くすることができる。また、共通配線11に要求されるCS信号の遅延時間は、

ゲート信号に要求される遅延時間に比べて長いために、CS共通配線方式の場合のゲート配線幅と共通配線の幅を足したものは、CSオンゲート方式の場合のゲート配線幅よりも狭くてよい。しかし、CS共通配線方式の場合、画素電極7と1行前のゲート電極2に間隔をあけていた。この部分を通過する光は、この部分の液晶が画素電極7による電界の影響を受けないため、制御されていない。したがって、画素電極7では黒表示をしているにもかかわらず、画素電極7と1行前のゲート電極2との間隔から光が漏れる場合があった。

【0008】これを防ぐためには、TFTを形成するガラス基板1と対向して液晶を挟むカラーフィルタ（以下CFと呼ぶ）基板に、この部分から漏れてくる光を遮光する膜（以下ブラックマスク（BM）と呼ぶ）を形成しておく必要があった。TFTを形成するガラス基板1とCF基板を重ねあわせる場合の精度は、一般的に5 μ mから10 μ m程度であり、画素電極7と1行前のゲート電極2との間隔からの漏れ光を完全に遮光するには、画素電極7の端部から、更にこの重ねあわせ精度に相当する分だけ内側にBMを形成する必要がある、これにより、更に開口率が低下し、光の利用効率が低下するため消費電力が増大するという問題があった。

【0009】この発明は上記のような課題を解決するためになされたもので、ゲート信号の遅延時間を短くしつつ、開口率を大きくして消費電力を低下させた液晶ディスプレイ装置を得ることを第一の目的とする。また、このような液晶ディスプレイ装置の製造方法を得ることを第二の目的とする。

【0010】

【課題を解決するための手段】この発明に係わる液晶ディスプレイ装置においては、絶縁性基板上に形成された複数のゲート電極及び隣接するゲート電極間に配置された補助容量用の共通配線と、絶縁性基板上に形成されたゲート絶縁膜を介してゲート電極の少なくとも一部を覆うように形成された少なくとも一層の半導体材料膜と、この半導体材料膜に形成されたソース領域及びドレイン領域と、ゲート絶縁膜上に形成され、共通配線を覆うように形成された画素電極と、この画素電極に接続されると共に隣接するゲート電極上に一部が重なるように形成された容量用電極と、ソース領域及びドレイン領域上にそれぞれ設けられたソース電極及びドレイン電極を備えたものである。

【0011】また、絶縁性基板上に形成された画素電極及びこの画素電極に接続された容量用電極及び少なくとも一層の半導体材料層と、この半導体材料層に形成されたソース領域及びドレイン領域と、絶縁性基板上に形成されたゲート絶縁膜と、このゲート絶縁膜を介して半導体材料上に形成された複数のゲート電極及び隣接するゲート電極間に配置された補助容量用の共通配線を備え、共通配線は、ゲート絶縁膜を介して画素電極上に配置さ

れると共に、容量用電極はゲート絶縁膜を介して隣接するゲート電極に一部が重なるように形成されているものである。また、絶縁性基板上に形成されたソース領域及びドレイン領域を有する半導体材料膜と、この半導体材料膜の上面及び側面を覆うように形成されたゲート絶縁膜と、このゲート絶縁膜上を含む絶縁性基板上に形成された複数のゲート電極と、絶縁性基板上に形成され、隣接するゲート電極間に配置された補助容量用の共通配線と、ゲート絶縁膜上及びゲート電極上及び共通配線上を含む絶縁性基板上に形成された絶縁膜と、この絶縁膜上に形成され、共通配線を覆うように形成された画素電極と、絶縁膜上に形成され、画素電極に接続されると共に隣接するゲート電極上に一部が重なるように形成された容量用電極を備えたものである。さらに、容量用電極は、画素電極を延在したものである。

【0012】また、ゲート電極と共通配線とは、同じ材料が用いられているものである。さらに、共通配線は、透明材料を用いているものである。また、共通配線の透明材料は、可視光に対して透過率が50%以上でかつ比抵抗が500 $\mu\Omega\cdot\text{cm}$ 以下の材料が用いられているものである。また、共通配線の透明材料は、酸化インジウム錫、酸化錫、インジウムリンのいずれかであるものである。加えて、共通配線に接して、共通配線を覆うように透明電極が設けられているものである。

【0013】また、共通配線を覆う透明電極は、可視光に対して透過率が50%以上でかつ比抵抗が500 $\mu\Omega\cdot\text{cm}$ 以下の材料が用いられているものである。また、共通配線を覆う透明電極は、酸化インジウム錫、酸化錫、インジウムリンのいずれかの材料を用いているものである。さらにまた、半導体材料膜は、非晶質シリコン膜であるものである。また、半導体材料膜は、多結晶シリコン膜であるものである。

【0014】また、この発明に係わる液晶ディスプレイ装置の製造方法においては、絶縁性基板上に複数のゲート電極を形成する第一の工程と、隣接するゲート電極間に配置されるよう共通配線を形成する第二の工程と、ゲート電極上及び共通配線上を含む絶縁性基板上にゲート絶縁膜を形成する第三の工程と、少なくとも一層の半導体材料膜を形成する第四の工程と、ゲート絶縁膜を介して共通配線を覆うと共に隣接するゲート電極に一部が重なるように画素電極を形成する第五の工程と、半導体材料膜をエッチングしてソース領域及びドレイン領域を形成する第六の工程を含むものである。さらに、第一の工程と第二の工程は、同時に行われるものである。また、共通配線を覆うように透明電極を形成する第七の工程を含み、第七の工程は、第二の工程の終了後、第三の工程の前に行われるものである。

【0015】

【発明の実施の形態】

実施の形態1. 図1は、この発明の実施の形態1による

チャンネルエッチング型逆スタガ構造のTFT-LCDを示す平面図、図2はその製造方法を示すA-A'断面の断面図である。図において、1~6、8~11は上記従来装置と同一のものであり、その説明を省略する。12は画素電極であり、共通配線11を覆うと共に、1行前のゲート電極2上に一部が重なっている。

【0016】以下、製造方法について、図2にしたがって説明する。ガラス基板1上にゲート電極2と同時に共通配線11を形成する。ゲート電極2及び共通配線11は不透明材料、例えばCr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、Wあるいはこれらの合金、あるいはこれらを積層した構造で、膜厚0.1 μ mから1.0 μ m程度で形成する(図2(A))。次に、ゲート絶縁膜4、アモルファスシリコン5、Pをドーパしたn⁺アモルファスシリコン6を連続堆積し、アモルファスシリコン5、Pをドーパしたアモルファスシリコン6を、必要な部分を残してエッチングにより除去する(図2(B))。次に、画素電極12を共通配線11を覆うのみならず、1行前のゲート電極2(n-1番目)とも重なるように形成する(図2(C))。次に、ソース配線8及びドレイン電極9を形成し、その後、Pをドーパしたn⁺アモルファスシリコン6をTFTのソース領域、ドレイン領域を形成するために必要な部分を残して除去する(図2(D))。最後に、保護膜10を形成する(図2(E))。

【0017】以上の工程により、実施の形態1による負荷容量を共通配線11で形成すると同時に、画素電極12を1行前のゲート電極2と重ねたTFT-LCDが形成できる。実施の形態1では、共通配線11が形成されているため、TFT-LCDに必要な負荷容量は、ほとんど共通配線11と画素電極12の重なり部分の容量で形成できる。したがって、画素電極12と1行前のゲート電極2は、この部分からの漏れ光を遮光するだけでよく、少なくとも重なってさえいればよい。したがって画素電極12と1行前のゲート電極2の重なりは、非常に小さくできるので、ゲート電極2の負荷容量はほとんど増大しない。よって、ゲート電極の幅は、CS共通配線方式の場合とほぼ同じとなり、ゲート電極幅が増加して開口率が低下することがない。以上により、実施の形態1のTFT-LCDは、ゲート配線の負荷容量を増大させず、また、画素電極12と1行前のゲート電極2との間隔をなくすることができるので、開口率が高く、消費電力の小さいTFT-LCDを得ることができる。また、実施の形態1では、従来の製造プロセスを全く変更しないので、コストは変わらずに消費電力の小さいTFT-LCDを得ることができる。また、TFT構造として、チャンネルエッチング型逆スタガ構造のTFTの作成例を示したが、チャンネル領域上に保護膜を形成するエッチングストッパ型逆スタガ構造TFTでも同様の効果があり、以下の実施の形態においても同じである。

【0018】実施の形態2。図3は、この発明の実施の形態2によるTFT-LCDを示す平面図、図4はその製造方法を示すA-A'断面の断面図である。図において、1~6、8~10、12は実施の形態1におけるものと同一であるので、その説明を省略する。13は透明材料で形成した共通配線である。以下、製造方法について、図4にしたがって説明する。ガラス基板1上にゲート電極2を形成する。ゲート電極2は不透明材料、例えばCr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、Wあるいはこれらの合金、あるいはこれらを積層した構造で、膜厚0.1 μ mから1.0 μ m程度で形成する(図4(A))。次に、共通配線13を透明電極、例えばITO(酸化インジウム錫)、酸化錫、インジウムリンなどの可視光に対して透過率が50%以上となり、比抵抗が500 $\mu\Omega\cdot\text{cm}$ 以下の材料を用いて形成する(図4(A'))。以下の製造工程は、実施の形態1と同様である。

【0019】以上の工程により、実施の形態2における負荷容量を共通配線13で形成すると同時に、画素電極12を1行前のゲート電極2と重ねたTFT-LCDが形成できる。実施の形態2では、実施の形態1と同様の形状に共通配線13が形成されているため、TFT-LCDに必要な負荷容量は、ほとんど共通配線13と画素電極12の重なり部分の容量で形成できる。したがって、画素電極12と1行前のゲート電極2は、この部分からの漏れ光を遮光するだけでよく、少なくとも重なってさえいればよい。従って画素電極12と1行前のゲート電極2の重なりは非常に小さくできるので、ゲート配線の負荷容量はほとんど増大しない。よって、ゲート電極の幅は、CS共通配線方式の場合とほぼ同じとなり、ゲート電極幅が増加して開口率が低下することがない。更に実施の形態2では、共通配線に透明でかつ導電性のある材料を用いているため、共通配線部分での開口率低下がなく、実施の形態1よりも高い開口率が得られる。なお、実施の形態2では、ゲート電極2を形成した後に、共通配線13を形成したが、この順序が逆でも同様の効果が得られる。

【0020】実施の形態3。図5は、この発明の実施の形態3によるTFT-LCDの平面図、図6はその製造方法を示すA-A'断面の断面図である。図において、1~6、8~10、12は実施の形態1におけるものと同一であり、その説明を省略する。14は不透明材料を用いた共通配線である。15は共通配線14を覆うように形成された透明電極である。以下、製造方法について図6にしたがって説明する。ガラス基板1上にゲート電極2及び共通配線14を形成する。ゲート電極2及び共通配線14は、不透明材料、例えばCr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、Wあるいはこれらの合金、あるいはこれらを積層した構造で、膜厚0.1 μ mから1.0 μ m程度で形成する(図

6(A))。次に、共通配線14を覆う形で透明電極15を、例えばITO(酸化インジウム錫)、酸化錫、インジウムリンなどの可視光に対して透過率が50%以上となり、比抵抗が $500\mu\Omega\cdot\text{cm}$ 以下の材料を用いて形成する(図6(A'))。以下の製造工程は実施の形態1と同様である。

【0021】以上の工程により、実施の形態3における負荷容量を共通配線14で形成すると同時に、画素電極12を1行前のゲート電極2と重ねたTFT-LCDが形成できる。実施の形態3では、実施の形態1と同様に、共通配線14が形成されているため、TFT-LCDに必要な負荷容量は、ほとんど共通配線14と画素電極12の重なり部分の容量で形成できる。したがって、画素電極12と1行前のゲート電極2は、この部分からの漏れ光を遮光するだけでよく、少なくとも重なってさえいればよい。従って、画素電極12と1行前のゲート電極2の重なりは非常に小さくできるので、ゲート配線の負荷容量はほとんど増大しない。よってゲート電極2の幅は、CS共通配線方式の場合とほぼ同じとなり、ゲート電極幅が増加して開口率が低下することがない。更に、共通配線14と透明電極15とを組み合わせることにより、共通配線14に要求される抵抗値は、共通配線14で得られ、負荷容量として必要な面積は、透明電極15で形成でき、共通配線14の幅を細くしながら、必要な負荷容量値を確保できるため、開口率の向上が図られる。

【0022】実施の形態4. 図7は、この発明の実施の形態4によるTFT-LCDを示す平面図、図8はその製造方法を示すA-A'断面の断面図である。図において、1~6、8~12は実施の形態1におけるものと同一のものであり、その説明を省略する。16は共通配線11を覆うように形成され、n-1番目のゲート電極とは重なっていない画素電極である。17は画素電極16と接続され、n-1番目のゲート電極2と重なるように形成された容量用電極である。

【0023】以下、製造方法について図8にしたがって説明する。図8(A)、図8(B)の工程は、実施の形態1と同様であり、その説明を割愛する。図8(A)、図8(B)の工程を行った後、画素電極16を、共通配線11を覆うようにのみ形成する(図8(C))。次に、ソース配線8及びドレイン電極9を形成するが、このとき、画素電極16と接続し、n-1番目のゲート電極配線2と重なるように容量用電極17を形成する。これにより、n-1番目のゲート電極2と画素電極16との間に容量を形成する。以下の工程(図8(D))、(図8(E))は実施の形態1と同様である。以上の工程により、本発明による負荷容量を共通配線11で形成すると同時に、画素電極16を1行前のゲート電極2と重ねたTFT-LCDが形成でき、ゲート電極幅を増大させる必要がない。

【0024】実施の形態5. 図9、図10は、この発明の実施の形態5による正スタガ構造のTFT-LCDの製造方法を示す断面図である。実施の形態5は、ゲート電極2がソース・ドレイン領域6より上に形成されて、上下逆転された構造のもので、実施の形態1と同様に共通配線11と画素電極12が重なり、画素電極12の一部とn-1番目のゲート電極2が重なるように形成されている。図9は、ドレイン電極9と画素電極12が接続されている構造、図10は、ドレイン電極が画素電極と共用されて形成されている構造のものの製造方法を示している。

【0025】次に、図9のTFT-LCDの製造方法について説明する。ガラス基板1上に画素電極2を形成する(図9(A))。次いで、ソース配線8及びドレイン電極9をドレイン電極9の一部が画素電極12に重なるように形成し、この上に n^+ アモルファスシリコン6を堆積して、所定の形状にしてソース・ドレイン領域を形成する(図9(B))。次いで、 n^+ アモルファスシリコン6上及びガラス基板1上にアモルファスシリコン5を堆積する(図9(C))。次いで、ゲート絶縁膜4を全面に形成した(図9(D))後、ゲート絶縁膜4を介して画素電極12上に共通配線11を、またゲート電極2をアモルファスシリコン5上及び画素電極12と一部が重なるように形成し、そして、保護膜10を全面に形成する(図9(E))。次に、図10のTFT-LCDの製造方法について説明する。ガラス基板1上にソース配線8を形成する(図10(A))。次いで、ガラス基板1上に画素電極12を形成し、この画素電極12上及びソース電極8上に n^+ アモルファスシリコン6を堆積して、所定の形状にしてソース・ドレイン領域を形成する(図10(B))。以下図10(C)~(E)の工程は、図9(C)~(E)の工程と同じである。この構造のTFT-LCDにおいても実施の形態1と同様の効果がある。また、この実施の形態においても実施の形態2~4の構造にすることができるのは言うまでもない。

【0026】実施の形態6. 図11は、この発明の実施の形態6によるコブレナ型構造のTFT-LCDの製造方法を示す断面図である。19はソース・ドレイン領域が一部に形成された多結晶シリコン、20はゲート電極2及び共通配線11上を含む全面に堆積された絶縁膜である。実施の形態6は、ゲート電極2をソース・ドレイン領域上に形成し、かつ画素電極12を、共通配線11を覆うと共にゲート電極2上に一部が重なるように形成したものである。

【0027】次に、製造方法について、図11により説明する。ガラス基板1上に多結晶シリコン19を堆積する(図11(A))。次に多結晶シリコン19を熱酸化してゲート絶縁膜4を形成する(図11(B))。多結晶シリコン19上及びガラス基板1上にゲート電極2及び共通配線11を形成する(図11(C))。全面に絶

緑膜20を堆積した後、絶縁膜20を介して共通配線11を覆うと共にゲート電極2に一部が重なるように画素電極12を形成する(図11(D))。次いで、ソース配線8及びドレイン電極9を形成した後、全面にわたって保護膜10を形成する(図11(E))。この構造のTFT-LCDにおいても実施の形態1と同様の効果がある。また、この実施の形態においても実施の形態2~4の構造にすることができるのは言うまでもない。

【0028】以上の実施の形態1~6におけるゲート絶縁膜としては、SiN、SiO₂、酸化Ta、酸化Ti、酸化Al、酸化Crあるいはこれらを積層した膜のいずれを用いてもよい。また、TFTを形成する半導体材料としては、アモルファスシリコンだけでなく、多結晶シリコン、Cd-Seでも同様である。

【0029】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。絶縁性基板上に形成された複数のゲート電極及び隣接するゲート電極間に配置された補助容量用の共通配線と、絶縁性基板上に形成されたゲート絶縁膜を介してゲート電極の少なくとも一部を覆うように形成された少なくとも一層の半導体材料膜と、この半導体材料膜に形成されたソース領域及びドレイン領域と、ゲート絶縁膜上に形成され、共通配線を覆うように形成された画素電極と、この画素電極に接続されると共に隣接するゲート電極上に一部が重なるように形成された容量用電極と、ソース領域及びドレイン領域上にそれぞれ設けられたソース電極及びドレイン電極を備え、画素電極と共通配線との重なりによって容量が得られるので、容量用電極と隣接するゲート電極との重なりを小さくすることができ、このためゲート電極の負荷容量を増大させることなく、ゲート信号の遅延時間を短くできる。さらに、容量用電極は、画素電極を延在したものであるため、画素電極と隣接するゲート電極との間隔をなくすることができ、開口率が高く、消費電力を小さいものにすることができる。

【0030】さらに、共通配線に透明でかつ導電性のある材料を用いているため、共通配線部分での開口率低下がなく、より高い開口率が得られる。加えて、共通配線に接して、共通配線を覆うように透明電極が設けられ、共通配線と透明電極とを組み合わせることにより、共通配線の幅を細くしながら、必要な負荷容量値を透明電極で確保できるため、開口率の向上が図られる。

【0031】また、この発明に係わる液晶ディスプレイ装置の製造方法においては、絶縁性基板上に複数のゲート電極を形成する第一の工程と、隣接するゲート電極間に配置されるよう共通配線を形成する第二の工程と、ゲート電極及び共通配線上を含む絶縁性基板上にゲート絶縁膜を形成する第三の工程と、少なくとも一層の半導体材料膜を順次形成する第四の工程と、ゲート絶縁膜を介して共通配線を覆うと共に隣接するゲート電極に一部が

重なるように画素電極を形成する第五の工程と、半導体材料膜をエッチングしてソース領域及びドレイン領域を形成する第六の工程を含むので、画素電極とゲート電極との重なりを小さくすることができ、このためゲート電極の負荷容量を増大させることなく、ゲート信号の遅延時間を短くし、また、開口率が高く、消費電力を小さくした液晶ディスプレイ装置とすることができる。また、共通配線を覆うように透明電極を形成する第七の工程を含み、第七の工程は、第二の工程の終了後、第三の工程の前に行われるので、共通配線と透明電極とを組み合わせることにより、共通配線の幅を細くしながら、必要な負荷容量値を透明電極で確保でき、開口率の向上が図られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるTFT-LCDを示す平面図である。

【図2】 この発明の実施の形態1によるTFT-LCDの製造方法を示す断面図である。

【図3】 この発明の実施の形態2によるTFT-LCDを示す平面図である。

【図4】 この発明の実施の形態2によるTFT-LCDの製造方法を示す断面図である。

【図5】 この発明の実施の形態3によるTFT-LCDを示す平面図である。

【図6】 この発明の実施の形態3によるTFT-LCDの製造方法を示す断面図である。

【図7】 この発明の実施の形態4によるTFT-LCDを示す平面図である。

【図8】 この発明の実施の形態4によるTFT-LCDの製造方法を示す断面図である。

【図9】 この発明の実施の形態5によるTFT-LCDの製造方法を示す断面図である。

【図10】 この発明の実施の形態5によるTFT-LCDの製造方法を示す断面図である。

【図11】 この発明の実施の形態6によるTFT-LCDの製造方法を示す断面図である。

【図12】 従来のCSオンゲート方式TFT-LCDを示す平面図である。

【図13】 従来のCSオンゲート方式TFT-LCDの製造方法を示す断面図である。

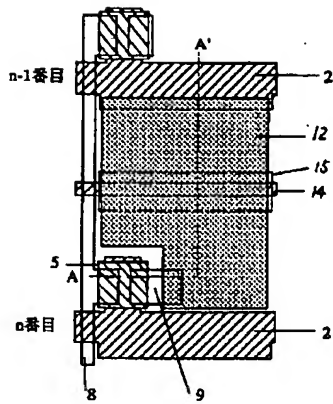
【図14】 従来のCS共通配線方式TFT-LCDを示す平面図である。

【図15】 従来のCS共通配線方式TFT-LCDの製造方法を示す断面図である。

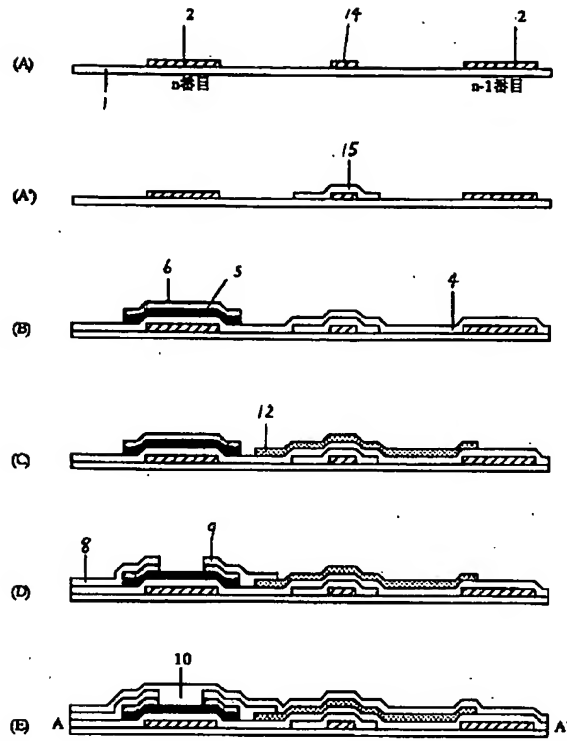
【符号の説明】

1 ガラス基板、2 ゲート電極、4 ゲート絶縁膜、5 アモルファスシリコン、6 n⁺ アモルファスシリコン、12、16 画素電極、8 ソース配線、9 ドレイン電極、10 保護膜、11、13、14 共通配線、15 透明電極、17 容量用電極

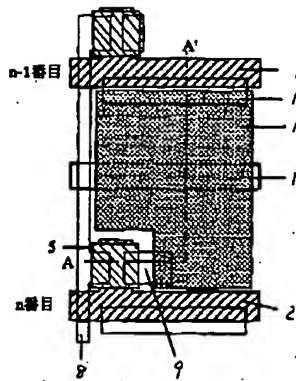
【図5】



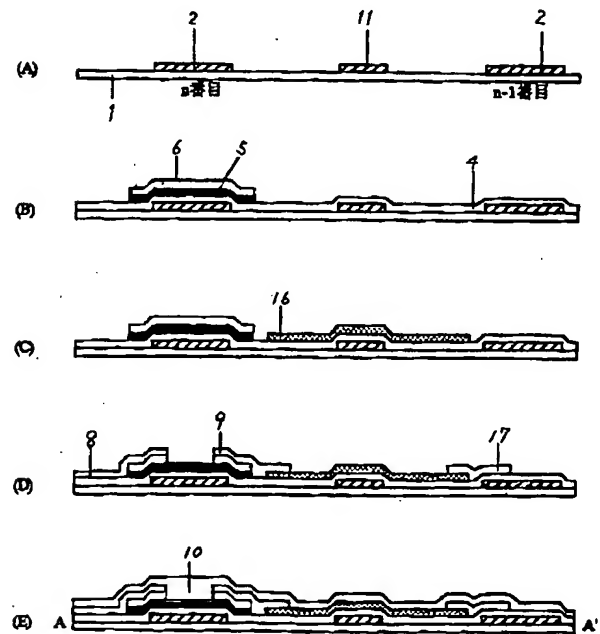
【図6】



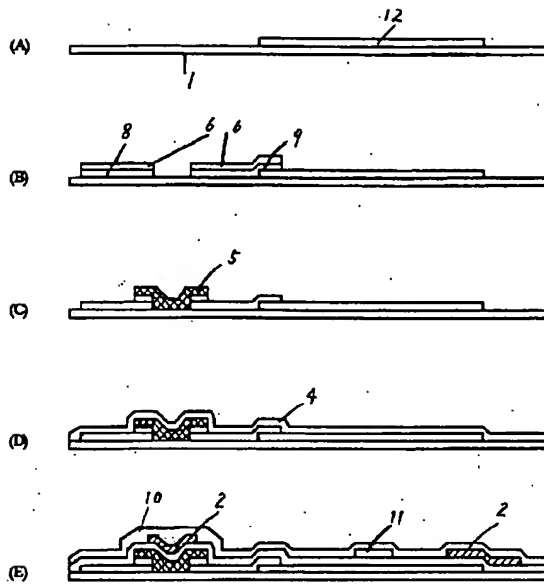
【図7】



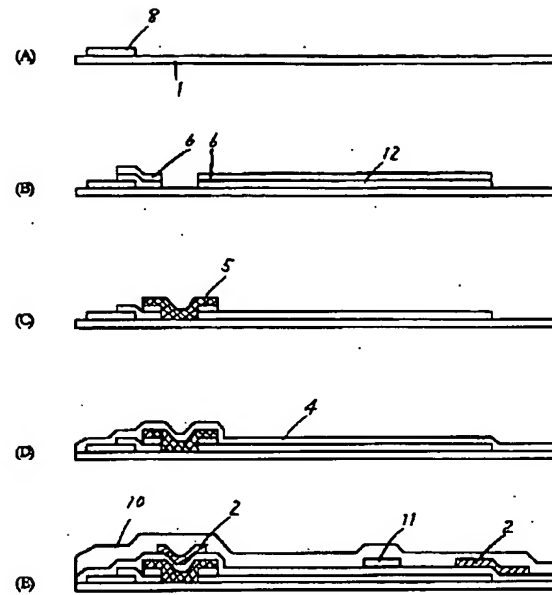
【図8】



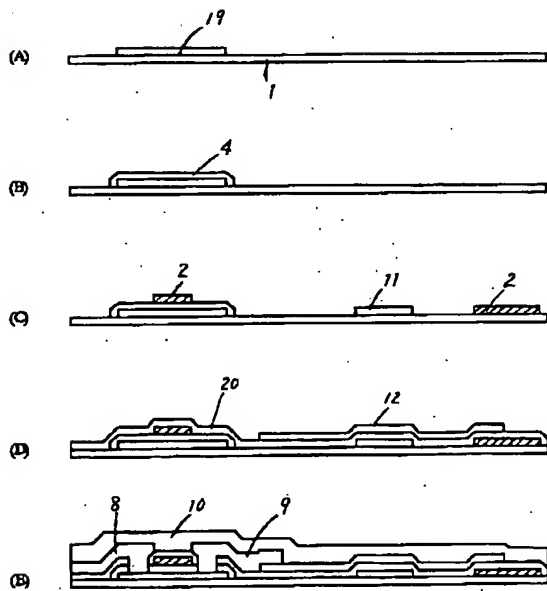
【図9】



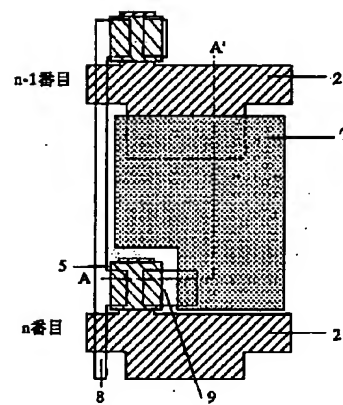
【図10】



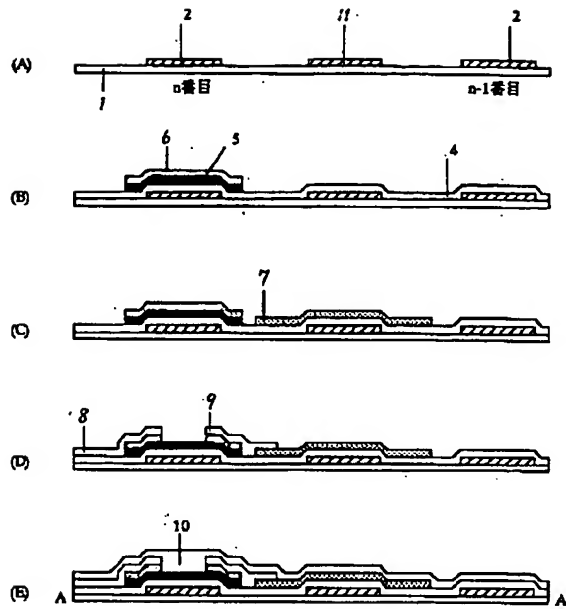
【図11】



【図12】



【図13】



【図15】

